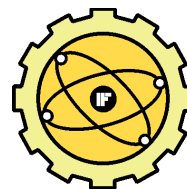




POLSKIE TOWARZYSTWO AKUSTYCZNE



KOMITET AKUSTYKI PAN



INSTYTUT FIZYKI POLITECHNIKI ŚLĄSKIEJ

57. Otwarte Seminarium z Akustyki

Implementacja w układzie FPGA wybranego filtra ech stałych dla wielobramkowego systemu Dopplera przezczaszkowego

Mateusz WALCZAK, Piotr KULESZA, Marcin LEWANDOWSKI, Piotr KARWAT, Beata WITEK,
Instytut Podstawowych Problemów Techniki, Polska Akademia Nauk
ul. Pawińskiego 5B, 02-106 Warszawa
e-mail: mlew@ippt.gov.pl

Streszczenie

W artykule opisano wybór i implementację filtrów ech stałych w programowalnych układach logicznych (FPGA) dla ultradźwiękowego wielobramkowego systemu przezczaszkowego przepływomierza krwi opracowywanego w Zakładzie Ultradźwięków IPPT PAN. Implementacja filtrów w FPGA miała na celu redukcję obciążenia softwarowego przetwarzania sygnałów dopplerowskich. W pracy przedstawiono badania modelowe i porównanie filtrów ech stałych o skończonej odpowiedzi impulsowej (SOI) oraz nieskończonej odpowiedzi impulsowej (NOI). Przeanalizowany został zakres stabilnej pracy filtru NOI. Wyselekcjonowany filtr górnoprzepustowy typu SOI został następnie zaimplementowany i zoptymalizowany do architektury układów FPGA oraz zastosowania w przepływomierzu. Zastosowano ekonomiczny układ FPGA Altera Cyclone III EP3C25F324C8. Opracowany filtr ech stałych realizuje 100 identycznych górnoprzepustowych filtrów typu SOI, co zapewnia filtrowanie sygnału dopplerowskiego w 100 bramkach jednocześnie. Filtry operują na 16 bitowych próbkach sygnału, a ich charakterystyka jest programowalna przez 65 16-bitowych współczynników. Zweryfikowano poprawność przetwarzania na komputerze PC w środowisku Altera Quartus II 9.1 oraz ModelSim 6.5b poprzez symulacje i porównanie odpowiedzi impulsowej oraz skokowej filtrów. W wyniku opisanych prac powstała struktura logiczna filtru ech stałych przeznaczona do implementacji w układzie FPGA Cyclone III, zajmująca 5% zasobów logicznych układu oraz 34% zasobów pamięciowych.

1. WSTĘP

1.1. Opis architektury urządzenia

Podczas ubiegłorocznej konferencji zaprezentowany [6] został wielobramkowy system Dopplera przezczaszkowego zaimplementowany na uniwersalnej platformie, która dzięki swej architekturze umożliwia budowę różnej klasy aparatów. System zbudowany został w oparciu o dwa moduły cyfrowy i analogowo-cyfrowy o wymiarach 130x82 mm umieszczonych jeden nad drugim.

Elementem umożliwiającym zmianę funkcjonalności urządzenia jest płytkę cyfrowa zawierająca programowalny układ logiczny FPGA Altera Cyclone III oraz procesor sygnałowy DSP Analog Devices Blackfin BF537. Bezpośrednia digitalizacja sygnału w.c.z. i jego w pełni cyfrowa obróbka daje bardzo duże możliwości zmiany parametrów pracy aparatu bez konieczności rozbudowy części analogowej [7]. Wykorzystanie wspomnianych układów DSP oraz FPGA umożliwia realizację różnych schematów nadawczo odbiorczych zapewniając także cyfrową demodulację kwadraturową, jak również filtrację

dolno- i górno- przepustową, decymację i częściowe przetwarzanie dopplerowskiego sygnału audio. Dzięki wykorzystaniu układów logiki programowalnej możliwe staje się również wdrażanie innowacyjnej techniki nadawania kodowanego, która pozwala na zwiększenie stosunku sygnału do szumu bez zwiększania poziomów akustycznych.

W wyniku dalszej rozbudowy wielobramkowego systemu Dopplera przezczaszkowego dołączony został kolejny, trzeci moduł elektroniczny o rozmiarze 130x82 mm realizujący funkcję pomiarowo-zasilającą. Finalnie rozwijany system zamknięto w przenośnej, ekranowanej obudowie z 12" wyświetlaczem LCD i ekranem dotykowym (rys. 1) odpowiedzialnym za wizualizację wyników jak i sterowanie aparatem.

Bloki nadawczo-odbiorcze oraz cyfryzacji sygnału, które „personalizują” urządzenie do określonego zastosowania znajdujące się na osobnym module nie uległy znaczącym modyfikacjom.

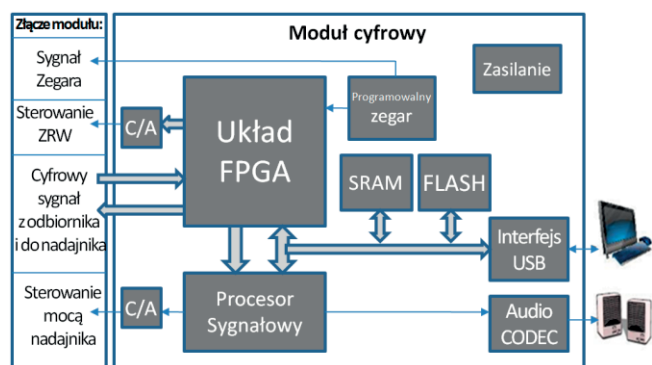
Nowe oprogramowanie komputera PC wchodzącego w skład urządzenia zapewnia aktualnie prezentację kolor Doppler, profil prędkości, spektrum wraz z obliczonymi na

podstawie poszczególnych obwiedni sygnałów indeksami PI i TI oraz audio.



Rys. 1. Widok uruchomionego zmontowanego urządzenia wielobramkowego systemu Dopplera przezczaszkowego, gotowego do pracy, z podłączoną sondą ultradźwiękową

W ramach prac nad aplikacją dopplerowską, w celu odciążenia przetwarzania softwarowego, do części cyfrowej układu (rys. 2) zaimplementowano filtr ech stałych (Wall Filter).

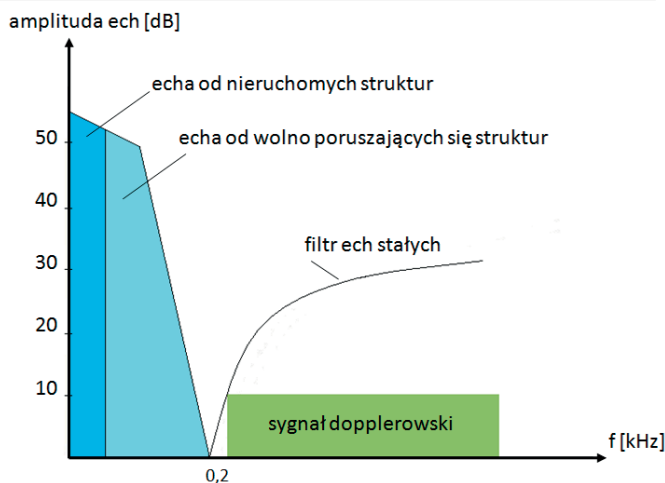


Rys.2. Schemat blokowy modułu cyfrowego wewnątrz którego dokonano implementacji filtra

1.2. Echa stałe

W badaniach przepływu krwi metodą ultrasonografii dopplerowskiej [1][2] użyteczną informację stanowią zmiany ech pochodzące od poruszających się elementów morfotycznych. W odbieranym sygnale występują również echa stałe dla których wartość amplitudy może kilkanaście razy przewyższać amplitudę ech od składników komórkowych krwi (rys. 3).

Obecność ech stałych powstających w wyniku odbić fali ultradźwiękowej od nieruchomych obiektów oraz wolno poruszających się narządów jest w przypadku badania przepływu krwi zjawiskiem niekorzystnym i niezbędna jest ich filtracja.



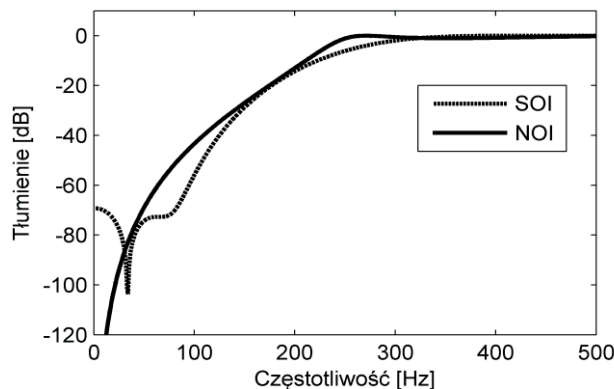
Rys. 3. Echa stałe i sygnał dopplerowski

2. Wybór rodzaju filtra

Systemy dopplerowskie prezentujące w czasie rzeczywistym dwuwymiarowe mapy przepływów pozwalają na akwizycję maksymalnie kilkunastu próbek z danego kierunku i głębokości. Filtry SOI, aby zapewnić odpowiednią charakterystykę, muszą mieć długość co najmniej kilkudziesięciu próbek. Nie są więc one przystosowane do filtrowania tak krótkich sygnałów i w związku z tym często są pomijane w dyskusjach na temat filtracji ech stałych w systemach dopplerowskich.

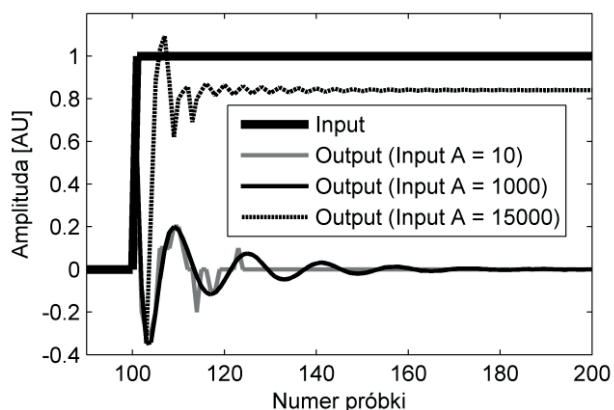
W prezentowanym systemie Dopplera przezczaszkowego ograniczenie długości sygnału nie występuje, gdyż dane są zbierane tylko z jednego kierunku. Rozważanie filtrów SOI staje się zatem uzasadnione. Drugą braną pod uwagę klasą są filtry NOI.

Wybierając pomiędzy filtrem SOI i NOI należy pamiętać o ich wadach i zaletach [4]. Filtry NOI znacznie przewyższają filtry SOI pod względem kształtu charakterystyki amplitudowej oraz obciążenia obliczeniowego. Przedstawione na rys. 4 charakterystyki odnoszą się do filtra SOI o 65 współczynnikach (129 operacji arytmetycznych na próbkę) oraz NOI 4 rzędu (20 operacji arytmetycznych na próbkę). Mimo znacznie większego obciążenia obliczeniowego, filtr SOI ma gorszą charakterystykę amplitudową.



Rys. 4. Charakterystyki amplitudowe rozpatrywanych filtrów SOI (65 próbek, okno Blackmana) oraz NOI (4 rząd, Czebyszew T1). Częstotliwość graniczna $f_G=250$ Hz, częstotliwość próbkowania $f_s=4$ kHz

Kształt charakterystyki amplitudowej oraz obciążenie obliczeniowe przemawiają za filtrami NOI. Ten typ filtrów ma jednak szereg wad, z których najważniejszą jest ryzyko niestabilności. Filtr zaprojektowany jako stabilny pozostanie taki, dopóki nie nastąpi ograniczenie precyzji zapisu jego parametrów oraz stanów wewnętrznych. W technologii cyfrowej takie ograniczenie zawsze występuje a jego stopień zależy od liczby bitów przypadających na każdą zapisywaną zmienną bądź parametr.

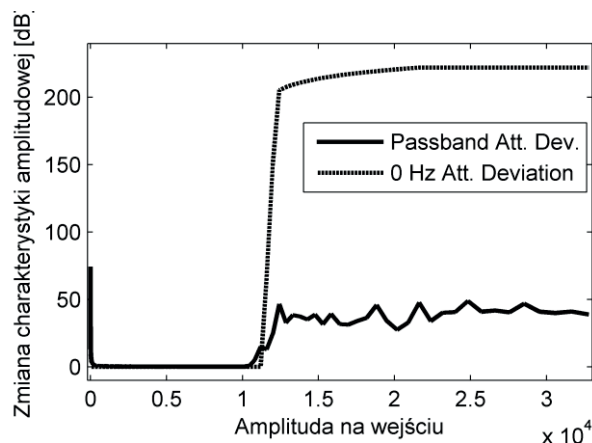


Rys. 5. Odpowiedzi czasowe 16-bitowego filtra NOI na skoki jednostkowe o różnych amplitudach. Wykresy są znormalizowane do wartości amplitudy wejściowej odpowiadającej danemu sygnałowi wyjściowemu

W prezentowanym systemie Dopplera przezczaszkowego wykorzystywana jest arytmetyka 16-bitowa. Związane z nią ograniczenie precyzji zapisu powoduje widoczne na rys. 5 błędy przetwarzania sygnału. Na wejście filtra NOI podano sygnał skoku o regulowanej amplitudzie. W przypadku małych amplitud (Input A = 10) widoczne są błędy związane z dyskretyzacją i występują one także w przypadku filtrów SOI. Skok o średniej amplitudzie (Input A = 1000) jest przetwarzany prawidłowo. Sygnał o zbyt dużej amplitudzie (Input A = 15000) prowadzi do niestabilności filtru.

Analiza różnic pomiędzy widmami sygnałów przefiltrowanych w arytmetyce 16-bitowej oraz 64-bitowej (odniesienie będące przybliżeniem nieskończonej precyzji) pozwala na określenie zakresu stabilności 16-bitowego filtra NOI. W prezentowanym przypadku sygnałem wejściowym była funkcja skoku, choć dla innej funkcji wynik analizy mógłby się nieco różnić. W analizie użyto dwa wskaźniki: różnicę tłumień składowej stałej sygnału oraz maksymalną różnicę tłumień w paśmie przepustowym. Wyniki przedstawiono na rys. 6.

Z powyższej analizy wynika, że filtr zachowuje się stabilnie jedynie w zakresie amplitud wejściowych do ok. 10 K podczas gdy arytmetyka 16-bitowa odpowiada zakresowi wartości bezwzględnych do 32 K. Oznacza to, że w celu uniknięcia niestabilności filtru należałoby ograniczyć dynamikę toru wejściowego o 2 bity. W przypadku badań przezczaszkowych dynamika sygnału jest bardzo duża, a zatem powyższe rozwiązanie wydaje się niewłaściwe.



Rys. 6. Odchyłki odpowiedzi częstotliwościowej 16-bitowego filtra NOI w zależności od amplitudy podanej na wejście funkcji skoku. Przedstawiono odchyłkę tłumienia częstotliwości 0 Hz oraz maksymalną odchyłkę tłumienia w paśmie przepustowym

W związku z powyższym, mimo nieco słabszej charakterystyki amplitudowej i większego obciążenia układów logicznych, wybrano filtr typu SOI, który jest stabilny bez względu na parametry sygnału wejściowego.

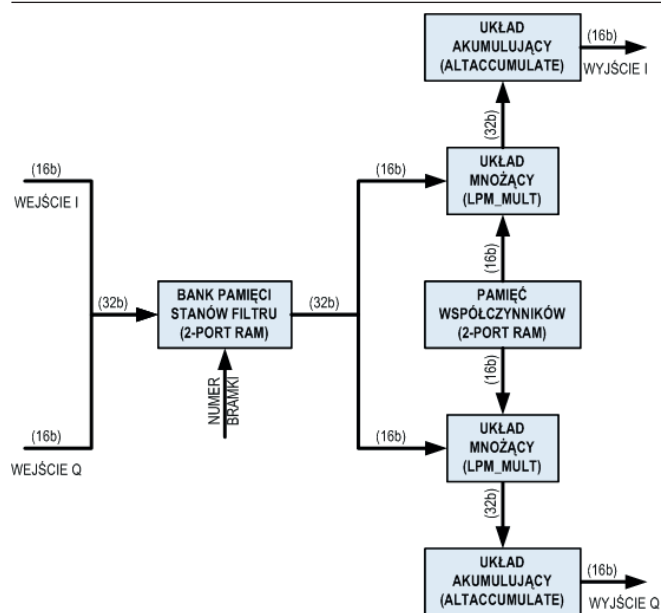
1.4. Implementacja w układzie FPGA

Z uwagi na ograniczone zasoby pamięciowe oraz logiczne wykorzystanego układu FPGA Altera Cyclone III EP3C25F324C8, zastosowana została architektura szeregowo filtrów SOI [5]. W tej architekturze z każdym cyklem zegara wykonywana jest tylko pojedyncza operacja mnożenia - dodawania, z czego wynika, że cała operacja filtracji pojedynczej próbki sygnału wejściowego wymaga tyle cykli zegarowych, ile jest współczynników filtru.

Zaimplementowany wielobramkowy filtr ech stałych składa się z banku pamięci stanów filtru, pamięci współczynników, dwóch układów mnożących oraz dwóch układów akumulujących (rys. 7).

W celu jak najlepszego wykorzystania dostępnych zasobów pamięciowych układu FPGA, bank pamięci stanów filtru został zaimplementowany jako 25 bloków dwuportowej pamięci RAM o strukturze 256 słów na 32 bity (komponent ALTSYNCRAM), która zajmuje dokładnie jeden blok pamięci M9K układu FPGA. W pojedynczym słowie pamięci stanów zapisywana jest para 16-bitowych, kwadraturowych próbek sygnału wejściowego. Startując od adresu zerowego, pamiętane są kolejne 64 próbki sygnału wejściowego z każdej bramki, z czego wynika że w jednym bloku pamięci zapisywany jest stan filtru dla 4 bramek, natomiast w całym banku 25 bloków pamięci zapisywany jest stan filtru dla 100 bramek (rys. 8).

Pamięć współczynników została zaimplementowana jako dwuportowa pamięć RAM o strukturze 64 słów na 16 bitów (komponent ALTSYNCRAM), która mieści się w jednym bloku pamięci M9K układu FPGA. Zastosowanie pamięci RAM pozwala na zmianę charakterystyki filtrów, bez konieczności ponownej konfiguracji układu FPGA.



Rys. 7. Schemat blokowy zaimplementowanego filtra ech stałych

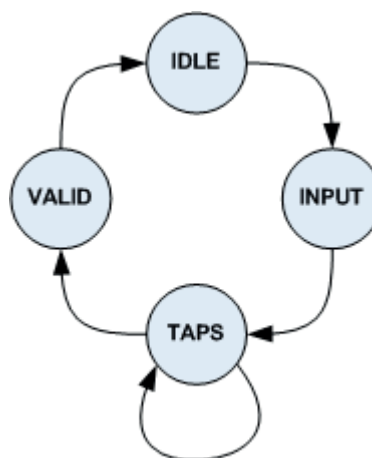
Układy mnożące (komponent LPM_MULT) wraz z układami akumulującymi (komponent ALTACCUMULATE), z każdym cyklem zegara, wykonują pojedynczą operację mnożenia - dodawania osobno dla kanałów I oraz Q.

PRÓBK I (16bit)	PRÓBK Q (16bit)	ADRES
$I_0(n)$	$Q_0(n)$	0x0000
$I_0(n-1)$	$Q_0(n-1)$	0x0001
$I_0(n-2)$	$Q_0(n-2)$	0x0002
...
$I_0(n-63)$	$Q_0(n-63)$	0x0039
$I_1(n)$	$Q_1(n)$	0x0040
$I_1(n-1)$	$Q_1(n-1)$	0x0041
$I_1(n-2)$	$Q_1(n-2)$	0x0042
...
$I_1(n-63)$	$Q_1(n-63)$	0x007F
...
...
$I_{99}(n)$	$Q_{99}(n)$	0x18C0
$I_{99}(n-1)$	$Q_{99}(n-1)$	0x18C1
$I_{99}(n-2)$	$Q_{99}(n-2)$	0x18C2
...
$I_{99}(n-63)$	$Q_{99}(n-63)$	0x18FF

Rys. 8. Struktura banku pamięci stanów wewnętrznych filtru

Proces filtracji sygnału w jednej bramce kontrolowany jest przez 4 - stany automatu (rys. 9). W stanie IDLE zerowane są układy akumulujące. Po pojawieniu się próbek sygnału wejściowego oraz ustawieniu numeru bramki, z której pochodzą dane próbki, następuje przejście do stanu INPUT, w którym wykonywana jest pierwsza operacja mnożenia - dodawania dla próbek wejściowych i pierwszego współczynnika. Następnie automat przechodzi do stanu TAPS, w którym przez następne 64 cykle zegarowe wykonywane są operacje mnożenia - dodawania dla pozostałych stanów oraz współczynników filtru. Potem następuje przejście do stanu VALID, w którym aktualne

wartości układów akumulujących przepisywane są do rejestrów wyjściowych oraz sygnalizowane jest zakończenie procesu filtracji. Następnie automat przechodzi do stanu początkowego IDLE, w którym czeka na pojawienie się próbek sygnału wejściowego z następnej bramki.



Rys. 9. Diagram stanów automatu kontrolującego proces filtracji

Implementacja filtra ech stałych w układzie FPGA Altera Cyclone III EP3C25F324C8 wymagała 1128 komórek logicznych (LC), 199 rejestrów (DLR), 205824 bitów pamięci (26 bloków M9K) oraz 2 dedykowane 18-bitowe układy mnożące (DSP 18x18).

Literatura

1. A. Nowicki, *Podstawy ultrasonografii dopplerowskiej*, Wydawnictwo Naukowe PWN, Warszawa, 1995.
2. A. Nowicki, P. Karłowicz, *Dopplerowskie badania naczyń: wybrane zagadnienia*, Domino. 2001.
3. J. Gittins, J. Cowe, D.H. Evans, *Implementation of a field programmable gate array based transcranial Doppler ultrasound system using pulse compression techniques*. Biomedical Signal Processing and Control, Volume 2, Issue 1, 2007, 51–58.
4. R. G. Lyons, *Understanding Digital Signal Processing (2nd Edition)*, Prentice Hall, 2004.
5. U. Meyer-Baese, *Digital Signal Processing with Field Programmable Gate Arrays (3rd Edition)*, Springer, 2007.
6. M. Lewandowski, M. Walczak, A. Nowicki, *Nowy wielobramkowy system Dopplera przezczaszkowego*, 56. Otwarte Seminarium z Akustyki, Goniądz, 2009
7. M. Lewandowski, M. Walczak, A. Nowicki, *Compact Modular Doppler System with Digital RF Processing*, IEEE International Ultrasonics Symposium, Roma, 2009

Podziękowania

Projekt finansowany przez MNiSW i realizowany we współpracy z Echson S.A. oraz Sonomed Sp. z o.o.